



**PCT**  
WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro  
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<b>(51) Internationale Patentklassifikation <sup>6</sup>:</b>  <b>H01L 21/84, 27/12</b>	<b>A1</b>	<b>(11) Internationale Veröffentlichungsnummer:</b> <b>WO 99/04428</b>  <b>(43) Internationales Veröffentlichungsdatum:</b> 28. Januar 1999 (28.01.99)
<b>(21) Internationales Aktenzeichen:</b> PCT/DE98/01759  <b>(22) Internationales Anmeldedatum:</b> 26. Juni 1998 (26.06.98)  <b>(30) Prioritätsdaten:</b> 197 31 090.7      19. Juli 1997 (19.07.97)      DE  <b>(71) Anmelder (für alle Bestimmungsstaaten ausser US):</b> ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, D-70442 Stuttgart (DE).  <b>(72) Erfinder; und</b> <b>(75) Erfinder/Anmelder (nur für US):</b> GLÜCK, Joachim [DE/DE]; Lehenbühlstrasse 53, D-71272 Renningen (DE).		<b>(81) Bestimmungsstaaten:</b> JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  <b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht.          Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>

**(54) Title:** METHOD FOR PRODUCING A MATRIX FROM THIN FILM TRANSISTORS WITH STORAGE CAPACITIES

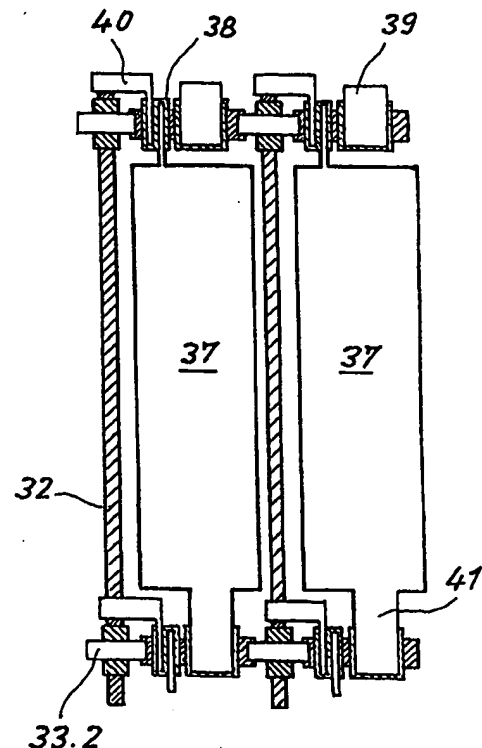
**(54) Bezeichnung:** VERFAHREN ZUR HERSTELLUNG EINER MATRIX AUS DÜNNSCHICHTTRANSISTOREN MIT SPEICHERKAPAZITÄTEN

**(57) Abstract**

The invention relates to two methods for producing a matrix from thin film transistors with storage capacities, specially for liquid crystal displays, wherein only two electrically conductive films are applied and structured.

**(57) Zusammenfassung**

Es werden zwei Verfahren zur Herstellung einer Matrix aus Dünnschichttransistoren mit Speicherkapazitäten, insbesondere für Flüssigkristallanzeigen vorgeschlagen, bei denen lediglich zwei elektrisch leitfähige Schichten aufgebracht und strukturiert werden müssen.



### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidsschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Verfahren zur Herstellung einer Matrix aus Dünnschichttransistoren mit Speicherkapazitäten

Stand der Technik

Die Erfindung geht aus von einem Verfahren zur Herstellung einer Matrix aus Dünnschichttransistoren mit Speicherkapazitäten, insbesondere für Flüssigkristallanzeigen, wie es beispielsweise in "A 14-in.-Diagonal a-Si TFT-AMLCD for PAL-TV", J. Glueck et al., SID 94 DIGEST, Seiten 263 - 266, beschrieben ist. Nach dem bekannten Verfahren werden zur Herstellung der aktiven Matrix der Flüssigkristallanzeige drei leitfähige Schichten benötigt. Aus der ersten Schicht werden die Zeilenleitungen, die Gate-Elektroden der Dünnschichttransistoren und die Grundlektroden der Speicherkapazitäten gebildet. Aus einer zweiten leitfähigen Schicht werden die Spaltenleitungen, die Drain- und Source-Kontakte der Dünnschichttransistoren sowie die Deckelektrode der Speicherkapazitäten strukturiert. Mit einer dritten leitfähigen Schicht werden die Bildpunktelektroden gebildet und Verbindungen zwischen den Drain-Anschlüssen der Dünnschichttransistoren und den Deckelektroden der Speicherkapazitäten hergestellt. Für jede der leitfähigen Schichten ist ein Beschichtungsschritt und ein Lithographie-

schritt zur Strukturierung erforderlich. Zwar sind auch Herstellungsprozesse für Dünnschichttransistor-Matrizen mit nur zwei leitfähigen Schichten bekannt, doch ist mit diesen Herstellungsprozessen keine Integration von Speicherkapazitäten möglich.

#### Vorteile der Erfindung

Die erfindungsgemäßen Verfahren mit den kennzeichnenden Merkmalen der unabhängigen Ansprüche 1 und 2 haben gegenüber dem beschriebenen Stand der Technik den Vorteil, daß durch sie ein Flüssigkristallbildschirm mit einer durch Dünnschichttransistoren angesteuerten aktiven Matrix mit nur zwei leitfähigen Schichten hergestellt werden kann. Nach einer ersten Alternative des Verfahrens wird zunächst eine transparente elektrisch leitfähige Schicht auf ein Substrat aufgebracht und diese Schicht als Spaltenleitungen und zwischen den Spalten liegende Teile der Zeilenleitungen der Dünnschichttransistor-Matrix, als Gate-Kontakte der Transistoren, als Grundelektroden der Speicherkapazitäten sowie als Bildpunktelektroden in einem ersten Maskenschritt strukturiert. Anschließend wird ein Gate-Isolator für die Dünnschichttransistoren aufgebracht. Dann wird ein Halbleiter, insbesondere a:Si-H, und anschließend ein p- oder n-dotierter Halbleiter als Drain- und Source-Kontakte der Dünnschichttransistoren aufgebracht. Es folgt ein zweiter Maskenschritt, in dem der Gate-Isolator, der Halbleiter und die Drain- und Source-Kontakte strukturiert werden. Anschließend erfolgt das Aufbringen und Strukturieren einer zweiten elektrisch leitfähigen Schicht für die ergänzenden Teile der Zeilenleitungen, die Metallisierung der Drain- und Source-Kontakte und die Deckelektroden der Speicherkapazitäten. Daraufhin wird die dotierte Halbleiterschicht durch einen Ätzprozeß mit der strukturierten zweiten elektrisch leitfähigen Schicht als Maskierung entfernt, bevor eine transparente Pas-

sivierung ganzflächig aufgebracht wird. Das zweite Verfahren gemäß Anspruch 2 unterscheidet sich von dem oben beschriebenen Verfahren dadurch, daß die Bildpunktelektroden nicht aus der ersten elektrisch leitfähigen Schicht sondern erst aus der zweiten leitfähigen Schicht strukturiert werden. Hierzu muß die zweite elektrisch leitfähige Schicht aus einem transparenten Material bestehen. Die erste leitfähige Schicht braucht bei diesem Verfahren hingegen nicht transparent zu sein.

Die Unteransprüche 3 bis 6 beinhalten vorteilhafte Weiterbildungen der erfindungsgemäßen Verfahren. So kann die transparent elektrisch leitfähige Schicht vorteilhafterweise aus Indium-Zinn-Oxid (ITO) und die andere elektrisch leitfähige Schicht aus einem Metall wie Tantal, Molybdän, Chrom, Aluminium oder aus Kombinationen dieser Metalle bestehen. Der Gate-Isolator kann aus  $\text{SiN}_x$ , der Halbleiter aus a-Si:H und die Drain- und Source-Kontakte aus  $n^+$ -a-Si:H bestehen, wobei die Schichtenfolge dieser drei Materialien in einem PECVD-Verfahren (plasma enhanced chemical vapor deposition) abgeschieden werden kann. Besonders günstige Resultate lassen sich erzielen, wenn der Gate-Isolator, der Halbleiter und die Drain- und Source-Kontakte in einem trockenchemischen Ätzverfahren unter Bildung flach verlaufender Kanten strukturiert werden. Hierdurch ist eine gute Kantenbedeckung der nachfolgend aufgesputterten leitfähigen Schicht gewährleistet, was für eine einwandfreie Funktion der Transistoren wesentlich ist. Die zweite elektrisch leitfähige Schicht kann zweckmäßigerweise derart strukturiert werden, daß eine leitfähige Verbindung zu den Drain-Kontakten, den Spaltenleitungen und den Deckelektroden der Speicherkapazitäten entsteht.

## Zeichnung

Nachfolgend werden zwei bevorzugte Ausführungsbeispiele der erfindungsgemäßen Verfahren anhand der Zeichnung näher beschrieben.

Es zeigen:

- Fig. 1 eine Draufsicht auf zwei Bildpunkte eines Flüssigkristallbildschirms mit einem Dünnschichttransistor und einer Speicherkapazität nach Aufbringen und Strukturieren einer ersten elektrisch leitfähigen Schicht nach einem ersten Herstellungsverfahren;
- Fig. 2 eine Draufsicht auf die Bildpunkte nach Fig. 1 in einem zweiten Herstellungsstadium;
- Fig. 3 eine Draufsicht auf die Bildpunkte nach Fig. 1 nach Aufbringen und Strukturieren der zweiten elektrisch leitfähigen Schicht;
- Fig. 4 eine Draufsicht auf zwei Bildpunkte eines Flüssigkristallbildschirms mit einem Dünnschichttransistor und einer Speicherkapazität nach Aufbringen einer ersten elektrisch leitfähigen Schicht nach einem zweiten Herstellungsverfahren;
- Fig. 5 eine Draufsicht auf die Bildpunkte nach Fig. 4 in einem zweiten Herstellungsstadium;
- Fig. 6 eine Draufsicht auf die Bildpunkte nach Fig. 4 nach Aufbringen und Strukturieren einer zweiten leitfähigen Schicht.

## Beschreibung

Fig. 1 zeigt in der Draufsicht zwei Bildpunkte 10 und 11 nach dem Aufbringen und Ätzen einer transparenten leitfähigen Schicht, vorzugsweise aus ITO. Aus dieser ersten Schicht werden Spaltenleitungen 12 und die zwischen den Spaltenleitungen 12 liegenden Teile 13.1 von Zeilenleitungen 13 gebildet. Außerdem werden mit dieser ersten Schichtfolge auch bereits die Bildpunktelektroden 14 strukturiert. Ein Abschnitt 15 der Zeilenleitung 13 bildet das Gate eines Dünnschichttransistors und ein Abschnitt 16 die Grundlektrode einer Speicherkapazität. In dem in Fig. 2 gezeigten Herstellungsstadium der beiden Bildpunkte aus Fig. 1 ist eine Schichtfolge aus einem Gate-Isolator, einem Halbleiter und einer Drain- und Source-Kontaktierung, die vorzugsweise aus  $\text{SiN}_x/\text{i-a-Si:H}/\text{n}^+\text{-a-Si:H}$  besteht, in einem PECVD-Verfahren abgeschieden und anschließend trockenchemisch geätzt worden. Aus dieser Schichtenfolge werden die Kanalbereiche der Dünnschichttransistoren, die Isolationsbereiche der Speicherkapazitäten und außerdem Überbrückungen 17 der Spaltenleitungen 12 gebildet. Diese isolierenden Überbrückungen sind notwendig für die Herstellung des zweiten Teils 13.2 der Zeilenleitungen 13 durch Aufbringen und Strukturieren der zweiten elektrisch leitfähigen Schicht, wie sie in Fig. 3 gezeigt ist. Die zweite elektrisch leitfähige Schicht kann beispielsweise aus Molybdän und Tantal bestehen. Aus ihr werden die Drain- und Source-Metallisierungen 18 und die Deckelektroden 19 der Speicherkapazitäten gebildet. Außerdem werden gleichzeitig Verbindungen 20 zwischen den Drain-Kontakten und den Spaltenleitungen und Verbindungen 21 zwischen den Deckelektroden 19 der Speicherkapazitäten und den Bildpunktelektroden 14 hergestellt.

Bei den in den Fig. 4 bis 6 gezeigten, nach einem zweiten Verfahren hergestellten Bildpunkten 30 und 31 werden mit einer ersten elektrisch leitfähigen Schicht aus einem beliebigen

Metall, beispielsweise aus Molybdän, zunächst nur Spaltenleitungen 32 und zwischen den Spalten liegende Teile 33.1 der Zeilenleitungen 33 strukturiert. Teile der Zeilenleitungen 33 bilden gleichzeitig das Gate 34 des herzustellenden Dünnschichttransistors sowie die Grundelektrode 35 einer zu bildenden Speicherkapazität. In Fig. 5 ist das Herstellungsstadium nach Aufbringen und Strukturieren der Schichtfolge  $\text{SiN}_x/\text{i-a-Si:H}/\text{n}^+\text{-a-Si:H}$  zur Herstellung des Gate-Isolators, der Drain- und Source-Kontakte, des Dielektrikums für die Speicherkapazität 35 und für Überbrückungen 36 der Spaltenleitungen 32 gezeigt. Anschließend wird eine zweite elektrisch leitfähige Schicht aus einem transparenten Material aufgebracht und strukturiert, so daß sich das in Fig. 6 gezeigte Bild ergibt. Aus der transparenten zweiten leitfähigen Schicht werden die Bildpunktelektroden 37 und die ergänzenden Teile 33.2 der Zeilenleitungen 33 sowie die Drain- und Source-Metallisierungen 38 und die Deckelektroden 39 der Speicherkapazitäten 35 gebildet. Außerdem wird die Drain-Metallisierung durch Verbindungen 40 mit den Spaltenleitungen 32 und die Deckelektrode 39 der Speicherkapazität über Verbindungen 41 mit der Bildpunktelektrode 37 verbunden.

Beide Verfahren, das in den Fig. 1 bis 3 gezeigte und das in den Fig. 4 bis 6 gezeigte, kommen insgesamt mit lediglich zwei elektrisch leitfähigen Schichten und somit insgesamt nur drei Maskenschritten aus. Die Verfahren unterscheiden sich dadurch, daß beim Verfahren nach den Fig. 1 bis 3 bereits mit der ersten elektrisch leitfähigen Schicht die Bildpunktelektroden strukturiert werden, während beim Verfahren nach den Fig. 4 bis 6 die Bildpunktelektroden erst mit der zweiten elektrisch leitfähigen Schicht gebildet werden.



### Ansprüche

1. Verfahren zur Herstellung einer Matrix aus Dünnschichttransistoren mit Speicherkapazitäten, insbesondere für Flüssigkristallanzeigen, gekennzeichnet durch die Schritte:
  - Aufbringen einer transparenten ersten elektrisch leitfähigen Schicht auf ein Substrat und Strukturieren dieser Schicht als Spaltenleitungen (12) und zwischen den Spaltenleitungen (12) liegende Teile (13.1) der Zeilenleitungen (13) der Dünnschichttransistor-Matrix als Gate-Kontakte (15) der Transistoren, als Elektroden (16) der Speicherkapazitäten sowie als Bildpunktelektroden (14) in einem ersten Maskenschritt;
  - Aufbringen eines Gate-Isolators für die Dünnschichttransistoren;
  - Aufbringen eines Halbleiters, insbesondere von a:Si-H;
  - Aufbringen eines p- oder n-dotierten Halbleiters als Drain- und Source-Kontakte der Dünnschichttransistoren;

- 8 -

- Strukturieren des Gate-Isolators, des Halbleiters und der Drain- und Source-Kontakte in einem zweiten Maskenschritt;
  - Aufbringen und Strukturieren einer zweiten elektrisch leitfähigen Schicht für die ergänzenden Teile (13.2) der Zeilenleitungen (13), die Metallisierung der Drain- und Source-Kontakte (18) und die Deckelektroden (19) der Speicherkapazitäten in einem dritten Maskenschritt;
  - Entfernung der dotierten Halbleiterschicht durch einen Ätzprozeß mit der strukturierten zweiten elektrisch leitfähigen Schicht als Maskierung;
  - Aufbringen einer transparenten Passivierung.
2. Verfahren zur Herstellung einer Matrix aus Dünnschichttransistoren mit Speicherkapazitäten, insbesondere für Flüssigkristallanzeigen, gekennzeichnet durch die Schritte:
- Aufbringen einer ersten elektrisch leitfähigen Schicht auf ein Substrat und Strukturieren dieser Schicht als Spaltenleitungen (32) und zwischen den Spaltenleitungen (32) liegende Teile (33.1) der Zeilenleitungen (33) der Dünnschichttransistor-Matrix, als Gate-Kontakte (34) der Transistoren und als Elektroden (35) der Speicherkapazitäten in einem ersten Maskenschritt;
  - Aufbringen eines Gate-Isolators für die Dünnschichttransistoren;
  - Aufbringen eines Halbleiters, insbesondere von a:Si-H;

- 9 -

- Aufbringen eines p- oder n-dotierten Halbleiters als Drain- und Source-Kontakte der Dünnschichttransistoren;
  - Strukturieren des Gate-Isolators, des Halbleiters und der Drain- und Source-Kontakte in einem zweiten Maskenschritt;
  - Aufbringen und Strukturieren einer transparenten zweiten elektrisch leitfähigen Schicht für die ergänzenden Teile (33.2) der Zeilenleitungen, die Metallisierung (38) der Drain- und Source-Kontakte, die Deckelektroden (39) der Speicherkapazitäten sowie als Bildpunkt-elektroden (37) in einem dritten Maskenschritt;
  - Entfernung der dotierten Halbleiterschicht durch einen Ätzprozeß mit der strukturierten zweiten elektrisch leitfähigen Schicht als Maskierung;
  - Aufbringen einer transparenten Passivierung.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die transparente elektrisch leitfähige Schicht aus ITO (Indium-Zinn-Oxid) und die andere elektrisch leitfähige Schicht aus einem Metall wie Tantal, Molybdän, Chrom, Aluminium oder aus Kombinationen dieser Metalle besteht.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der Gate-Isolator aus  $\text{SiN}_x$ , der Halbleiter aus a-Si:H und die Drain- und Source-Kontakte aus  $\text{n}^+$ -a-Si:H bestehen, wobei die Schichtenfolge dieser drei Materialien in einem PECVD-Verfahren abgeschieden wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der Gate-Isolator, der Halbleiter und die Drain- und Source-Kontakte in einem Trockenätzverfahren unter Bildung flach verlaufender Kanten strukturiert werden.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die zweite elektrisch leitfähige Schicht derart strukturiert wird, daß eine leitfähige Verbindung (20, 21; 40, 41) zwischen den Drain-Kontakten, den Spaltenleitungen (12, 32) und den Deckelektroden (19, 39) der Speicherkapazität entsteht.

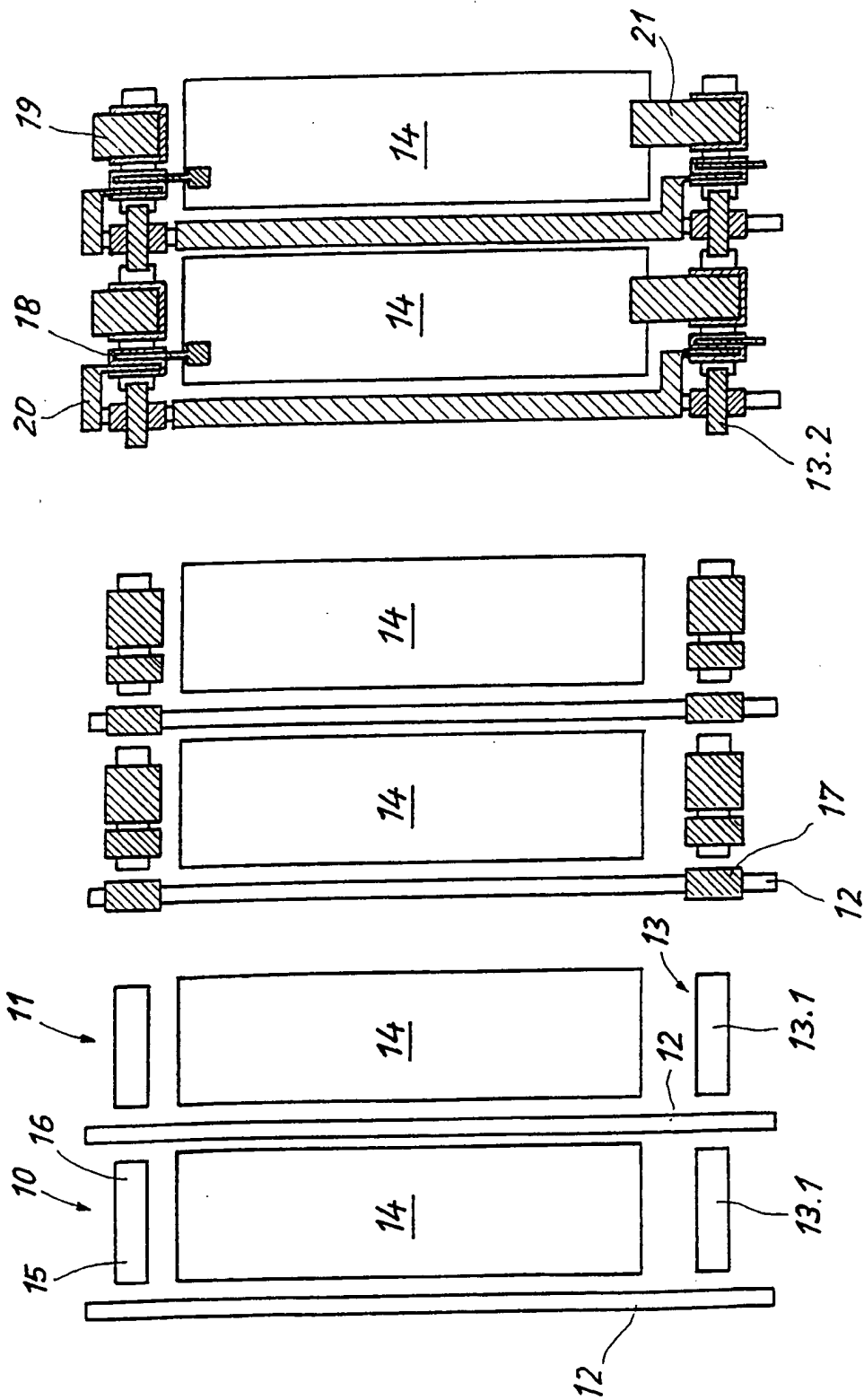
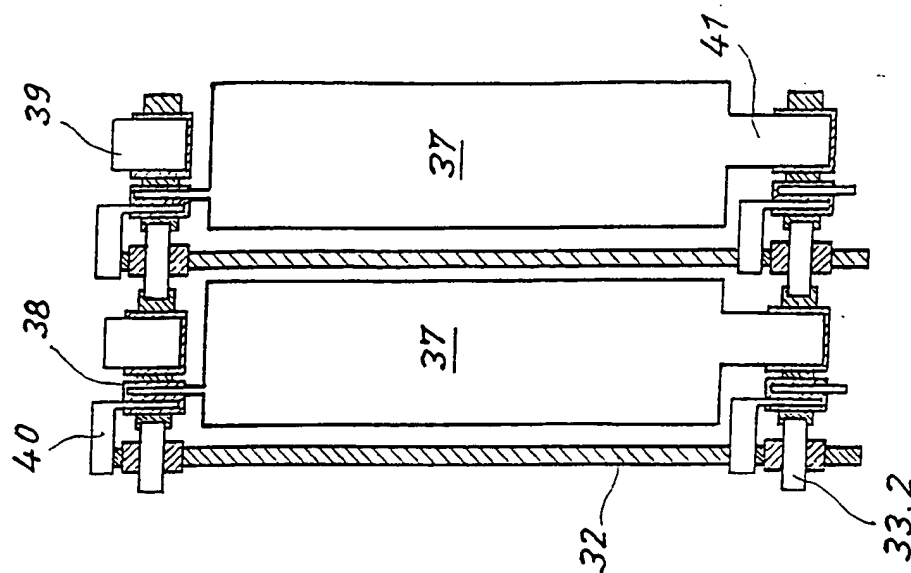


Fig. 3

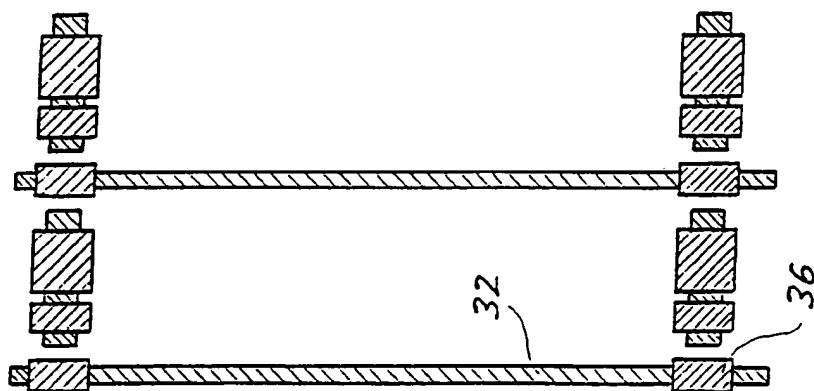
Fig. 2

Fig. 1

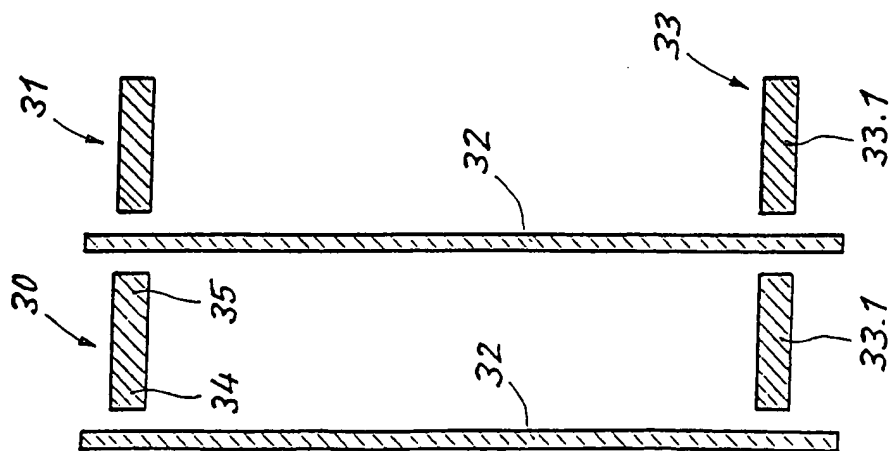
2/2



*Fig. 6*



*Fig. 5*



*Fig. 4*

# INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 98/01759

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L21/84 H01L27/12

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 990 460 A (MORIYAMA HIROAKI) 5 February 1991 see the whole document	1,3-6
A	EP 0 724 183 A (HITACHI LTD) 31 July 1996 see the whole document	1-6
A	US 5 478 766 A (PARK WOONYOUNG ET AL) 26 December 1995 see the whole document	2-4
A	US 4 778 560 A (TAKEDA ETSUYA ET AL) 18 October 1988 see the whole document	1-6

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

12 November 1998

Date of mailing of the international search report

20/11/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter. Patent Application No

PCT/DE 98/01759

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4990460 A	05-02-1991	JP 2077286 C	09-08-1996
		JP 2198429 A	06-08-1990
		JP 7119914 B	20-12-1995
		JP 2077287 C	09-08-1996
		JP 2198430 A	06-08-1990
		JP 7119915 B	20-12-1995
EP 0724183 A	31-07-1996	JP 8201849 A	09-08-1996
		US 5777702 A	07-07-1998
US 5478766 A	26-12-1995	NONE	
US 4778560 A	18-10-1988	JP 62285464 A	11-12-1987



# INTERNATIONALER RECHERCHENBERICHT

Inter Jnales Aktenzeichen

PCT/DE 98/01759

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 6 H01L21/84 H01L27/12

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L G02F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 990 460 A (MORIYAMA HIROAKI) 5. Februar 1991 siehe das ganze Dokument ---	1,3-6
A	EP 0 724 183 A (HITACHI LTD) 31. Juli 1996 siehe das ganze Dokument ---	1-6
A	US 5 478 766 A (PARK WOONYOUNG ET AL) 26. Dezember 1995 siehe das ganze Dokument ---	2-4
A	US 4 778 560 A (TAKEDA ETSUYA ET AL) 18. Oktober 1988 siehe das ganze Dokument -----	1-6



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

12. November 1998

Absenddatum des internationalen Recherchenberichts

20/11/1998

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 98/01759

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4990460 A	05-02-1991	JP 2077286 C	09-08-1996
		JP 2198429 A	06-08-1990
		JP 7119914 B	20-12-1995
		JP 2077287 C	09-08-1996
		JP 2198430 A	06-08-1990
		JP 7119915 B	20-12-1995
EP 0724183 A	31-07-1996	JP 8201849 A	09-08-1996
		US 5777702 A	07-07-1998
US 5478766 A	26-12-1995	KEINE	
US 4778560 A	18-10-1988	JP 62285464 A	11-12-1987